

From: <Barbara.Campbell2@USPTO.GOV>
To: <imelda.rehs@wipo.int>
Date: Sat, Oct 28, 2000 6:54 PM
Subject: IPER's needed

US

Good day.

Please fax me the 409's for the following applications:
Fax number; (703) 305-3230

09/367645 PCT/FR98/02907

09/555277 PCT/AU98/00979

Thank you very much,
Barbara Campbell, Paralegal Specialist
Crystal Plaza 2, 8th Floor/Room 8-C-13
(703) 305-3631

NO CHAPTER II

THIS PAGE BLANK (USPTO)

A. CLASSEMENT DE L'OBJET DE LA DEMANDE
CIB 6 H01L27/02 H02H17/04

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)

CIB 6 H01L H02H

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie *	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	EP 0 550 198 A (TEXAS INSTRUMENTS LTD ; TEXAS INSTRUMENTS INC (US)) 7 juillet 1993 voir revendications 1,13,14,17,18; figures 1-3	1,5
A	EP 0 388 022 A (NORTHERN TELECOM LTD) 19 septembre 1990	1,4
A	EP 0 721 218 A (SGS THOMSON MICROELECTRONICS) 10 juillet 1996 voir revendication 1; figures 14A-C	1



Voir la suite du cadre C pour la fin de la liste des documents



Les documents de familles de brevets sont indiqués en annexe

* Catégories spéciales de documents cités:

"A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent

"E" document antérieur, mais publié à la date de dépôt international ou après cette date

"L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)

"O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens

"P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention

"X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément

"Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier

"&" document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

3 mars 1999

Date d'expédition du présent rapport de recherche internationale

10/03/1999

Nom et adresse postale de l'administration chargée de la recherche internationale

Office Européen des Brevets, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Fransen, L

THIS PAGE BLANK (USF)

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
EP 0550198 A	07-07-1993	JP 5251690 A US 5304823 A	28-09-1993 19-04-1994
EP 0388022 A	19-09-1990	CA 1330451 A JP 2278878 A	28-06-1994 15-11-1990
EP 0721218 A	10-07-1996	FR 2729008 A CA 2166228 A CN 1131823 A CZ 9600009 A JP 2671886 B JP 8241862 A PL 311942 A	05-07-1996 01-07-1996 25-09-1996 16-07-1997 05-11-1997 17-09-1996 08-07-1996

THIS PAGE BLANK

THIS PAGE BLANK (USPTO)

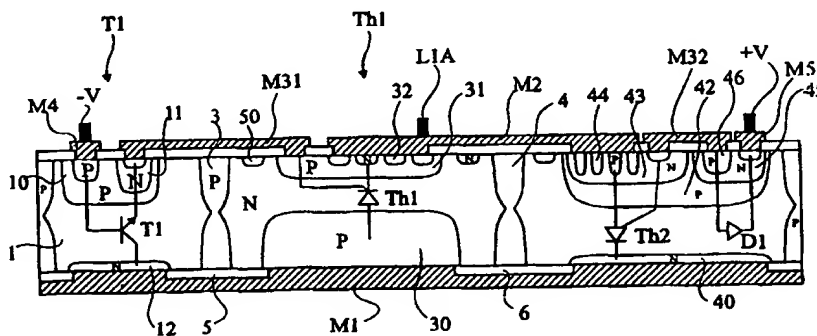


DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITE DE COOPERATION EN MATIÈRE DE BREVETS (PCT)

(51) Classification internationale des brevets ⁶ : H01L 27/02, H02H 9/04	A1	(11) Numéro de publication internationale: WO 99/35692 (43) Date de publication internationale: 15 juillet 1999 (15.07.99)
(21) Numéro de la demande internationale: PCT/FR98/02907 (22) Date de dépôt international: 29 décembre 1998 (29.12.98) (30) Données relatives à la priorité: 97/16854 30 décembre 1997 (30.12.97) FR (71) Déposant (pour tous les Etats désignés sauf US): STMICRO-ELECTRONICS S.A. [FR/FR]; 7, avenue Gallieni, F-94250 Gentilly (FR). (72) Inventeur; et (75) Inventeur/Déposant (US seulement): BALLON, Christian [FR/FR]; 75, rue Jolivet, F-37000 Tours (FR). (74) Mandataires: DE BEAUMONT, Michel etc.; 1, rue Champollion, F-38000 Grenoble (FR).		(81) Etats désignés: CN, JP, US, brevet européen (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). Publiée Avec rapport de recherche internationale.

(54) Title: SUBSCRIBER INTERFACE PROTECTION CIRCUIT

(54) Titre: CIRCUIT DE PROTECTION D'INTERFACE D'ABONNES



(57) Abstract

The invention concerns a monolithic component for protecting a line against surge voltages higher than a predetermined positive threshold or lower than a predetermined negative threshold, comprising in antiparallel a thyristor with cathode gate (TH1) and a thyristor with anode gate (Th1), the gate of the thyristor with cathode gate being connected to a negative voltage threshold (-V) via a transistor amplifying gate current (T1), the gate of the thyristor with anode gate being connected to a positive voltage threshold (+V). The monolithic component is produced in a substrate divided into boxes separated by insulating walls (3, 4) whereof the lower faces are coated with insulating layers (5, 6), the substrate lower face being evenly coated with a metal coating (M1).

(57) Abrégé

L'invention concerne un composant monolithique de protection d'une ligne contre des surtensions supérieures à un seuil positif déterminé ou inférieures à un seuil négatif déterminé, comprenant en antiparallèle un thyristor à gâchette de cathode (Th1) et un thyristor à gâchette d'anode (Th2), la gâchette du thyristor à gâchette de cathode étant reliée à une tension de seuil négative (-V) par l'intermédiaire d'un transistor d'amplification de courant de gâchette (T1), la gâchette du thyristor à gâchette d'anode étant reliée à une tension de seuil positive (+V). Le composant monolithique est réalisé dans un substrat divisé en caissons séparés par des murs d'isolement (3, 4) dont les faces inférieures sont revêtues de couches isolantes (5, 6), la face inférieure du substrat étant uniformément revêtue d'une métallisation (M1).

UNIQUEMENT A TITRE D'INFORMATION

Codes utilisés pour identifier les Etats parties au PCT, sur les pages de couverture des brochures publiant des demandes internationales en vertu du PCT.

AL	Albanie	ES	Espagne	LS	Lesotho	SI	Slovénie
AM	Arménie	FI	Finlande	LT	Lituanie	SK	Slovaquie
AT	Autriche	FR	France	LU	Luxembourg	SN	Sénégal
AU	Australie	GA	Gabon	LV	Lettonie	SZ	Swaziland
AZ	Azerbaïdjan	GB	Royaume-Uni	MC	Monaco	TD	Tchad
BA	Bosnie-Herzégovine	GE	Géorgie	MD	République de Moldova	TG	Togo
BB	Barbade	GH	Ghana	MG	Madagascar	TJ	Tadjikistan
BE	Belgique	GN	Guinée	MK	Ex-République yougoslave de Macédoine	TM	Turkménistan
BF	Burkina Faso	GR	Grèce	ML	Mali	TR	Turquie
BG	Bulgarie	HU	Hongrie	MN	Mongolie	TT	Trinité-et-Tobago
BJ	Bénin	IE	Irlande	MR	Mauritanie	UA	Ukraine
BR	Brésil	IL	Israël	MW	Malawi	UG	Ouganda
BY	Bélarus	IS	Islande	MX	Mexique	US	Etats-Unis d'Amérique
CA	Canada	IT	Italie	NE	Niger	UZ	Ouzbékistan
CF	République centrafricaine	JP	Japon	NL	Pays-Bas	VN	Viet Nam
CG	Congo	KE	Kenya	NO	Norvège	YU	Yougoslavie
CH	Suisse	KG	Kirghizistan	NZ	Nouvelle-Zélande	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	République populaire démocratique de Corée	PL	Pologne		
CM	Cameroun	KR	République de Corée	PT	Portugal		
CN	Chine	KZ	Kazakstan	RO	Roumanie		
CU	Cuba	LC	Sainte-Lucie	RU	Fédération de Russie		
CZ	République tchèque	LI	Liechtenstein	SD	Soudan		
DE	Allemagne	LK	Sri Lanka	SE	Suède		
DK	Danemark	LR	Libéria	SG	Singapour		
EE	Estonie						

CIRCUIT DE PROTECTION D'INTERFACE D'ABONNÉS

La présente invention concerne des circuits de protection contre des surtensions utilisables notamment pour des circuits d'interface de lignes d'abonnées, couramment désignés par le sigle SLIC (Subscriber Line Interface Circuit).

5 Les circuits téléphoniques reliés à des lignes sont particulièrement susceptibles d'être perturbés par des surtensions tels que des coups de foudre ou des liaisons accidentelles à des lignes du réseau d'alimentation électrique. De plus, le problème de la protection des circuits d'interface devient de
10 plus en plus aigu alors que ces circuits d'interface sont constitués de circuits de plus en plus intégrés et de dimensions de plus en plus réduites et par conséquent de plus en plus sensibles à des surtensions.

La demanderesse étudie depuis de nombreuses années des
15 circuits de protection de SLIC et a déjà imaginé plusieurs circuits nouveaux, réalisables sous forme monolithique, qui sont décrits notamment dans les brevets des Etats-Unis d'Amérique N° 5274524 (B1712), 5243488 (B1713), 5696391 (B2420) et 5684322 (B2743), et dans les demandes de brevets européens 0742592
20 (B2782) et 0687051 (B3042).

La présente invention vise à réaliser sous forme monolithique un circuit de protection susceptible d'établir un court-

circuit entre chaque conducteur d'une ligne et la masse quand la tension sur ce conducteur dépasse un seuil positif déterminé ou devient inférieure à un seuil négatif prédéterminé.

La présente invention vise également à réaliser un tel circuit qui établit également un court-circuit entre un conducteur de ligne et la masse quand le courant dans ce conducteur dépasse un seuil déterminé.

La présente invention vise à réaliser un tel circuit qui puisse être fabriqué par des technologies compatibles avec celle des circuits intégrés de puissance développés par la demande.

Un autre objet de la présente invention est de prévoir un tel circuit qui soit particulièrement fiable en fonctionnement.

Un autre objet de la présente invention est de prévoir un tel circuit dans lequel la chute de tension à l'état passant soit minimale (égale seulement à la chute de tension aux bornes d'un thyristor).

Un autre objet de la présente invention est de prévoir un tel circuit qui nécessite un très faible courant pour son amorçage.

Pour atteindre ces objets, la présente invention prévoit un composant monolithique de protection d'une ligne contre des surtensions supérieures à un seuil positif déterminé ou inférieures à un seuil négatif déterminé, comprenant en antiparallèle un thyristor à gâchette de cathode et un thyristor à gâchette d'anode connectés entre une première borne de la ligne à protéger et une tension de référence, la gâchette du thyristor à gâchette de cathode étant reliée à une tension de seuil négative par l'intermédiaire d'un transistor d'amplification de courant de gâchette, la gâchette du thyristor à gâchette d'anode étant reliée à une tension de seuil positive. Le composant monolithique est réalisé dans un substrat du premier type de conductivité divisé en caissons séparés par des murs d'isolement dont les faces inférieures sont revêtues de couches isolantes, la face

inférieure du substrat étant uniformément revêtue d'une métallisation. Le transistor d'amplification du courant de gâchette du thyristor à gâchette de cathode est réalisé sous forme verticale dans un premier caisson. Le thyristor à gâchette de cathode est
5 réalisé sous forme verticale dans un deuxième caisson. Le thyristor à gâchette d'anode est réalisé sous forme verticale dans un troisième caisson. La métallisation de face inférieure met en contact le collecteur du transistor, l'anode du thyristor à gâchette de cathode et la cathode du thyristor à gâchette d'anode.
10 Une première métallisation de face avant relie la cathode du thyristor à gâchette de cathode à l'anode du thyristor à gâchette d'anode. Une deuxième métallisation de face avant relie la gâchette du thyristor à gâchette de cathode à l'émetteur du transistor. Une troisième métallisation de face avant est en contact
15 avec la gâchette du thyristor à gâchette d'anode.

Selon un mode de réalisation de la présente invention, le composant comprend en outre une diode dont l'anode est reliée à la gâchette du thyristor à gâchette d'anode. Cette diode est réalisée sous forme d'une région de type P elle-même formée dans
20 une région de type N, cette dernière étant formée dans la région de gâchette de cathode du thyristor à gâchette d'anode, du côté de la face supérieure du composant.

Selon un mode de réalisation de la présente invention, la gâchette du thyristor à gâchette de cathode est reliée à une
25 deuxième borne de la ligne à protéger associé au thyristor à gâchette d'anode, caractérisé en ce que ce transistor, de type PNP, est formé du côté de la face supérieure du composant, la région de collecteur se prolongeant par l'intermédiaire de murs d'isolement vers la face inférieure et étant en contact avec la
30 métallisation de face inférieure.

Ces objets, caractéristiques et avantages, ainsi que d'autres de la présente invention seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non-limitatif en relation avec les figures jointes
35 parmi lesquelles :

la figure 1A représente un exemple de circuit de protection ;

la figure 1B représente un mode de réalisation selon la présente invention du circuit de la figure 1A ;

5 la figure 2A représente une variante de circuit de protection ;

la figure 2B représente un mode de réalisation selon la présente invention du circuit de la figure 2A ;

10 la figure 3A représente une autre variante de circuit de protection ;

la figure 3B représente un premier mode de réalisation selon la présente invention du circuit de la figure 3A ;

la figure 4A représente une autre variante de circuit de protection ; et

15 la figure 4B représente un premier mode de réalisation selon la présente invention du circuit de la figure 4A.

La figure 1A représente un circuit de protection contre des surtensions et des surintensités sur une ligne téléphonique L1-L2. Chacun des conducteurs de la ligne téléphonique comprend
20 une résistance série, respectivement R1, R2, permettant de détecter des surintensités. On appellera L1A et L1B les bornes de la résistance R1 qui constituent des premières bornes d'entrée du circuit selon la présente invention et L2A et L2B les bornes de la résistance R2 qui constituent des deuxièmes bornes d'entrée du
25 circuit. Entre la borne L1A et un potentiel de référence, couramment la masse, sont disposés deux thyristors en antiparallèle, à savoir un thyristor à gâchette de cathode Th1 et un thyristor à gâchette d'anode Th2. L'anode du thyristor Th1 et la cathode du thyristor Th2 sont reliées à la masse, la cathode du thyristor
30 Th1 et l'anode du thyristor Th2 sont reliées à la borne L1A. La gâchette du thyristor à gâchette de cathode est reliée à une source de tension négative -V par l'intermédiaire d'un transistor amplificateur T1 de type NPN. La gâchette du thyristor à gâchette d'anode est reliée à une source de tension positive +V (dans ce
35 mode de réalisation par l'intermédiaire d'une diode D1). Les gâ-

chettes des thyristors Th1 et Th2 sont reliées à la borne L1B. L'émetteur du transistor T1 est relié à la borne L1B, son collecteur à la masse et sa base à la tension négative -V. Cet ensemble constitue le système de protection contre des surtensions et surintensités du conducteur L1. Des composants disposés symétriquement et désignés par des références primées constituent la protection contre des surtensions et des surintensités de la ligne L2. Le fonctionnement de ce circuit que l'on comprendra mieux en se référant aux brevets et demandes de brevets de la demanderesse mentionnés ci-dessus est le suivant.

- Si une surtension positive supérieure à la tension +V survient sur le conducteur L1, un courant circule de l'anode à la gâchette du thyristor à gâchette d'anode Th2 par l'intermédiaire de la diode D1 vers la tension +V. Le thyristor Th2 devient passant et dérive la surtension vers la masse.

- Si une surtension négative inférieure à la tension -V survient sur le conducteur L1, le thyristor à gâchette de cathode Th1 devient conducteur et la surtension négative s'écoule vers la masse. Le transistor T1 augmente la sensibilité de déclenchement en jouant un rôle d'amplification de gâchette.

- Si un courant positif circule dans la résistance R1 de façon à produire aux bornes de cette résistance une tension supérieure à la tension de seuil du thyristor à gâchette d'anode Th2, celui-ci devient passant.

- Si un courant négatif circule dans la résistance R1, c'est le thyristor à gâchette de cathode Th1 qui devient passant.

On a donc ainsi obtenu effectivement un dispositif de protection contre des surtensions et des surintensités sur le conducteur L1. La partie inférieure du circuit joue le même rôle vis-à-vis du conducteur L2.

On notera que les valeurs des tensions +V et -V, qui seront par exemple fournies par des batteries, ne sont pas nécessairement égales.

Le rôle des diodes D1 et D1' est d'isoler les batteries +V et -V entre elles, ainsi que par rapport aux lignes L1 et L2 en l'absence de surtensions.

La figure 1B est une vue en coupe schématique d'une
5 tranche semiconductrice incorporant le circuit de la figure 1A. Seuls les éléments appartenant à la partie supérieure du circuit de protection de la figure 1A sont représentés en figure 1B. Les composants symétriques dans le circuit sont formés de la même façon dans la même tranche de silicium comme cela apparaîtra clai-
10 rement à l'homme de l'art.

Le composant de la figure 1B est formé à partir d'un substrat 1 de type N divisé en trois caissons par des murs d'isolement 3 et 4. Chaque mur d'isolement est formé par une diffusion profonde de type P s'étendant à partir des faces supérieure et
15 inférieure de la tranche, ces diffusions se rejoignant sensiblement au milieu de la tranche. Le composant est réalisé dans une technologie de composants semiconducteurs de puissance dans laquelle une métallisation unique M1 recouvre toute la face inférieure ou face arrière du composant. Selon un aspect de la présente invention, on utilise une technologie dans laquelle la partie apparente de chaque mur d'isolement du côté de la face inférieure est isolée par une couche d'isolement. La référence 5 désigne une couche d'isolement, couramment de l'oxyde de silicium, formée sous la face inférieure du mur d'isolement 3 et la référence 6 désigne une couche d'isolement formée sous la face inférieure du mur d'isolement 4.
20
25

Dans le caisson de gauche est formé le transistor T1. Ce transistor est de type vertical et comprend du côté de la face supérieure une région de base 10 de type P contenant une région
30 d'émetteur 11 de type N. Du côté de la face inférieure est formée une région 12 de type N⁺ constituant le contact de collecteur repris par la métallisation M1. On notera que la couche isolante 5 se prolonge pour que la métallisation M1 fasse contact avec la région N 12 et pas avec le substrat 1 du caisson. Un avantage de
35 la réalisation de ce transistor sous forme verticale est qu'il

peut supporter sans difficultés des tensions relativement élevées (la tension -V est par exemple de -50 V). De plus la connexion entre le collecteur de ce transistor et l'anode du thyristor à gâchette de cathode Th1 est réalisée de façon particulièrement simple et efficace par la métallisation de face arrière. En outre le transistor T1 présente un gain élevé (de l'ordre de 80 à 200) ce qui entraîne que le courant que doit fournir la batterie -V à chaque amorçage est particulièrement faible.

Le thyristor à gâchette de cathode Th1 est formé dans le caisson central de la figure 1B. Il est réalisé sous forme verticale. Il comprend du côté de la face inférieure une région d'anode 30 et du côté de la face supérieure une région de type P 31 et une région de type N de cathode 32, couramment munie de courts-circuits d'émetteur. On notera que les régions isolantes 5 et 6 se prolongent jusqu'à la région P 30 pour que la métallisation M1 ne soit pas en contact avec le caisson central de type N.

Dans le caisson de droite de la figure 1B sont formés le thyristor à gâchette d'anode Th2 et la diode D1. Le thyristor Th2 est réalisé comme le thyristor Th1 sous forme verticale. Il comprend du côté de la face inférieure une région N 40 de cathode, et du côté de la face supérieure une région de type P profonde et peu dopée 42 (réalisée en même temps que la région d'anode 30 du thyristor Th1) dans laquelle sont formées une région de type N 43 et une région d'anode de type P 44. De façon classique, la région d'anode est munie de courts-circuits d'émetteurs. La diode D1 est formée dans la région de type P 42 elle comprend dans cette région une région de type N 45 constituant sa cathode et une région de type P 46 constituant son anode. Il s'agit d'une diode latérale.

Du côté de la face supérieure, les contacts sont réalisés par diverses métallisations :

- une métallisation M2 connectée à la borne L1A reliant la cathode du thyristor à gâchette de cathode à l'anode du thyristor à gâchette d'anode,
- une métallisation M3 connectée à la borne L1B reliant

la gâchette du thyristor à gâchette de cathode à l'émetteur du transistor T1 et la gâchette du thyristor à gâchette d'anode à l'anode de la diode D1. ; bien que dans la vue en coupe cette métallisation soit représentée comme constituée de deux morceaux
5 disjoints, on comprendra qu'il s'agit d'une seule et même métallisation,

- une métallisation M4 reliée à la borne -V en contact avec la base du transistor T1, et

- une métallisation M5 reliée à la borne +V en contact
10 avec la cathode de la diode D1.

Cette structure permet de commander le thyristor Th1 avec un très faible courant de mise en conduction tandis que ce thyristor peut avoir un courant de maintien (I_h) élevé. La réalisation du thyristor Th2 par triple diffusion permet d'obtenir un
15 thyristor sensible.

On a en outre représenté sur la figure des régions plus fortement dopées de même type que les régions sous-jacentes pour améliorer l'ohmicité des contacts avec les diverses métallisations. Ces régions ne sont ni référencées ni décrites pour ne pas
20 alourdir les figures et la description. Également, des régions telle que la région 50 constituent de façon classique des régions d'arrêt de canal pour éviter l'apparition de courants de fuite.

La figure 2A représente une variante du circuit de la figure 1A. On y retrouve les éléments T1, Th1, Th2, T'1, Th'1, Th'2. La différence avec la figure 1A est que la gâchette du thyristor à gâchette d'anode Th2 n'est pas reliée à la gâchette du thyristor à gâchette de cathode Th1 et est reliée directement, ainsi que la gâchette du thyristor à gâchette d'anode Th'2 à la tension de référence positive +V. Ce circuit est plus simple mais
25 n'assure pas de protection contre des surintensités positives. Il présente toutefois l'avantage que le thyristor à gâchette d'anode est particulièrement sensible en raison de l'absence de courts-circuits d'anode.

La réalisation de ce circuit sous forme d'un composant
35 monolithique apparaît en figure 2B. Cette figure ne sera pas dé-

crite en détail puisqu'elle est strictement similaire à la figure 1B sans la diode D1, c'est-à-dire que la région de gâchette d'anode 43 du thyristor à gâchette d'anode Th2 est connectée directement à la tension positive +V. On notera également que la

5 couche d'anode 44 du thyristor à gâchette d'anode n'est pas dans le mode de réalisation de la figure 2B muni de courts-circuits d'émetteur, ce qui permet d'obtenir un thyristor plus sensible.

D'autre part, dans le cas des figures 1B et 2B, on a représenté la couche d'isolement 6 s'étendant jusqu'à la région

10 40 de prise de contact de cathode du thyristor à gâchette d'anode Th2. Bien entendu, comme cette couche de contact est du même type que le substrat, la couche isolante 6 peut s'arrêter immédiatement au-delà de la surface inférieure du mur d'isolement 4.

La figure 3A représente une autre variante du circuit

15 selon la présente invention. Cette fois-ci, la structure est complètement symétrique, c'est-à-dire que le thyristor à gâchette d'anode Th2 est, comme le thyristor à gâchette de cathode Th1 associé à un transistor d'amplification de courant de gâchette. Ce transistor est désigné par la référence T2 pour le thyristor Th2

20 et par la référence T2' pour le thyristor Th2'. Les transistors T2 et T2' sont des transistors PNP alors que les transistors T1 et T'1 sont des transistors NPN.

Une réalisation selon la présente invention sous forme monolithique du circuit de la figure 3A apparaît en une coupe

25 schématique en figure 3B. Le transistor T1 et le transistor Th1 sont réalisés comme dans les modes de réalisation des figures 1B et 2B. Le thyristor Th2 est réalisé comme celui de la figure 1B ou de la figure 2B selon la sensibilité recherchée pour ce thyristor. Le transistor T2 est réalisé entre les caissons contenant

30 les thyristors Th1 et Th2. Le collecteur de ce thyristor est constitué d'une couche de type P 61 profondément diffusée à partir de la face supérieure. La région 61 est entourée d'une diffusion profonde de type P 62 qui rejoint une couche de type 63 formée à partir de la face inférieure et sur laquelle est reprise

35 le contact de collecteur par la métallisation M1. A l'intérieur

de la région de collecteur 61 sont formées une région de base 64 et une région d'émetteur de type P 65.

Une première métallisation de face supérieure M10 connectée à la borne L1A est en contact avec la cathode du thyristor Th1 et l'anode du thyristor Th2 (bien que cette métallisation soit représentée en deux morceaux dans la figure, il s'agit d'une seule et même métallisation). Une métallisation M11 connectée à la borne L1B est en contact avec la gâchette du thyristor Th2, l'émetteur du transistor T2, la gâchette du thyristor Th1 et l'émetteur du transistor T1. Une métallisation M12 connectée à la borne -V est en contact avec la base du transistor T1. Une métallisation M13 connectée à la borne +V et est en contact avec la région de base du transistor T2.

La figure 4A représente une variante du circuit de la figure 1A. Ce circuit, plus simple, n'assure pas de protection contre des surintensités. On y retrouve les éléments T1, Th1, Th2, T'1, Th'1, Th'2. La différence avec la figure 1A est que les gâchettes des thyristors à gâchette d'anode Th2 et à gâchette de cathode Th1 ne sont reliées ni entre elles ni à la borne L1B qui n'existe pas, la résistance R1 étant absente.

La réalisation de ce circuit sous forme d'un composant monolithique apparaît en figure 4B. Cette figure ne sera pas décrite en détail puisqu'elle est identique à la figure 1B à l'exception de la métallisation de gâchette : au lieu d'avoir une métallisation M3 unique, on a deux métallisations disjointes M31 et M32 servant seulement, respectivement à établir la liaison avec l'émetteur du transistor T1 et la liaison avec l'anode de la diode D1 (on pourra éventuellement supprimer la diode D1).

Bien entendu, la présente invention est susceptible de diverses variantes et modifications qui apparaîtront à l'homme de l'art. En particulier, les diverses variantes décrites pourront être combinées.

REVENDICATIONS

1. Composant monolithique de protection d'une ligne contre des surtensions supérieures à un seuil positif déterminé ou inférieures à un seuil négatif déterminé, comprenant en anti-parallèle un thyristor à gâchette de cathode (Th1) et un thyristor à gâchette d'anode (Th2) connectés entre une première borne (L1A) de la ligne à protéger et une tension de référence, la gâchette du thyristor à gâchette de cathode étant reliée à une tension de seuil négative (-V) par l'intermédiaire d'un transistor d'amplification de courant de gâchette (T1), la gâchette du thyristor à gâchette d'anode étant reliée à une tension de seuil positive (+V), caractérisé en ce que :
- le composant monolithique est réalisé dans un substrat du premier type de conductivité divisé en caissons séparés par des murs d'isolement (3, 4) dont les faces inférieures sont revêtues de couches isolantes (5, 6), la face inférieure du substrat étant uniformément revêtue d'une métallisation (M1),
 - le transistor (T1) d'amplification du courant de gâchette du thyristor à gâchette de cathode est réalisé sous forme verticale dans un premier caisson,
 - le thyristor à gâchette de cathode (Th1) est réalisé sous forme verticale dans un deuxième caisson,
 - le thyristor à gâchette d'anode (Th2) est réalisé sous forme verticale dans un troisième caisson,
 - la métallisation de face inférieure (M1) met en contact le collecteur du transistor, l'anode du thyristor à gâchette de cathode et la cathode du thyristor à gâchette d'anode,
 - une première métallisation de face avant (M2) relie la cathode du thyristor à gâchette de cathode à l'anode du thyristor à gâchette d'anode,
 - une deuxième métallisation de face avant (M3) relie la gâchette du thyristor à gâchette de cathode à l'émetteur du transistor, et
 - une troisième métallisation de face avant est en contact avec la gâchette du thyristor à gâchette d'anode.

2. Composant selon la revendication 1, comprenant en outre une diode (D1) dont l'anode est reliée à la gâchette du thyristor à gâchette d'anode, caractérisé en ce que ladite diode est réalisée sous forme d'une région de type P (46), elle-même
5 formée dans une région de type N (45), cette dernière étant formée dans la région de gâchette de cathode (42) du thyristor à gâchette d'anode, du côté de la face supérieure du composant.

3. Composant selon la revendication 1, dans lequel la gâchette du thyristor à gâchette de cathode est reliée à une
10 deuxième borne de la ligne à protéger (L1B)

4. Composant selon la revendication 1 ou 2, assurant en outre une fonction de protection contre des surintensités, dans lequel les gâchettes des thyristors à gâchette de cathode et à gâchette d'anode sont reliées entre elles et à une deuxième borne
15 de la ligne à protéger (L1B)

5. Composant selon la revendication 4 prise dans son rattachement à la revendication 1, comprenant en outre un transistor d'amplification de courant de gâchette (T2) associé au thyristor à gâchette d'anode, caractérisé en ce que ce transistor, de type PNP, est formé du côté de la face supérieure du
20 composant, la région de collecteur (61) se prolongeant par l'intermédiaire de murs d'isolement (62, 63) vers la face inférieure et étant en contact avec la métallisation de face inférieure (M1).

THIS PAGE BLANK (USPTO)

THIS PAGE BLANK (USPTO)

THIS PAGE BLANK (USPTO)

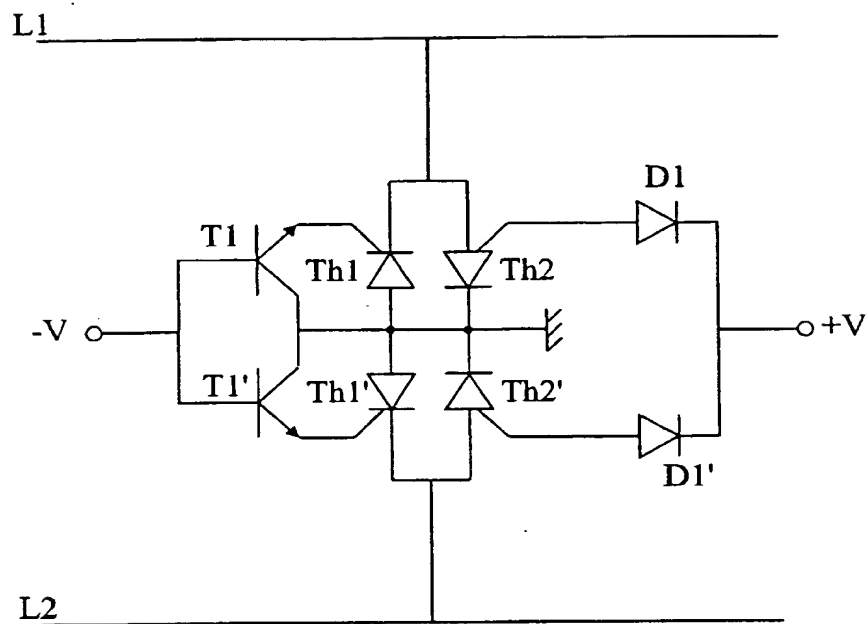


Fig 4A

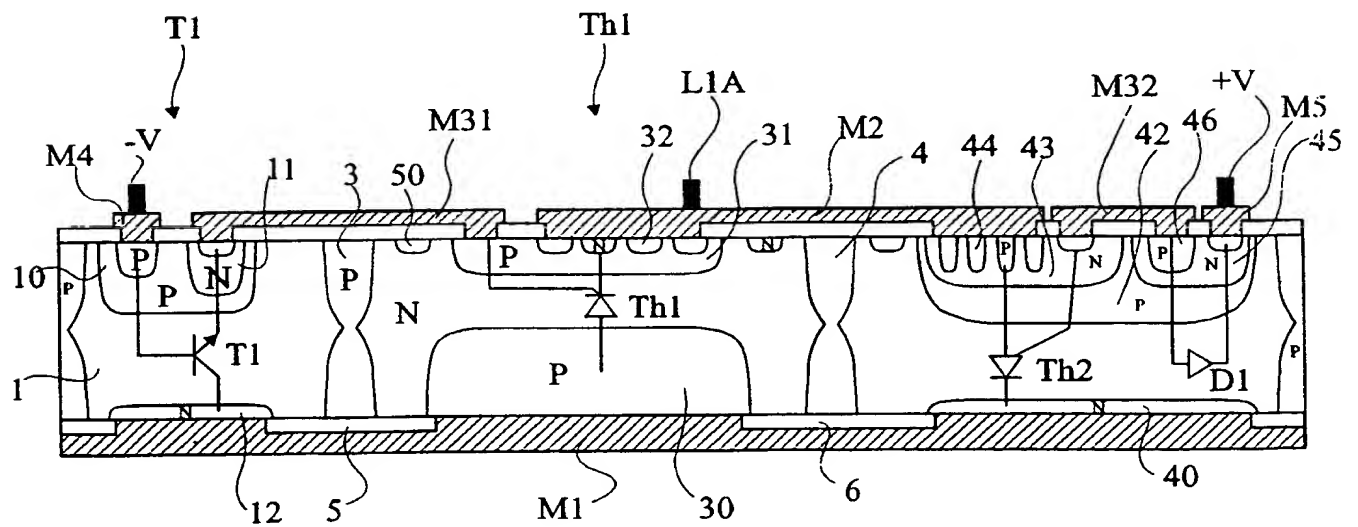


Fig 4B

THIS PAGE BLANK (USPTO)

INTERNATIONAL SEARCH REPORT

Int. Patent Application No.
PCT/FR 98/02907

A. CLASSIFICATION OF SUBJECT MATTER
IPC 6 H01L27/02 H02H9/04

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 6 H01L H02H

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 0 550 198 A (TEXAS INSTRUMENTS LTD ;TEXAS INSTRUMENTS INC (US)) 7 July 1993 see claims 1,13,14,17,18; figures 1-3 ---	1,5
A	EP 0 388 022 A (NORTHERN TELECOM LTD) 19 September 1990 ---	1,4
A	EP 0 721 218 A (SGS THOMSON MICROELECTRONICS) 10 July 1996 see claim 1; figures 14A-C -----	1

☐ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

3 March 1999

Date of mailing of the international search report

10/03/1999

Name and mailing address of the ISA
European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Fransen, L

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/FR 98/02907

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 0550198 A	07-07-1993	JP 5251690 A US 5304823 A	28-09-1993 19-04-1994
EP 0388022 A	19-09-1990	CA 1330451 A JP 2278878 A	28-06-1994 15-11-1990
EP 0721218 A	10-07-1996	FR 2729008 A CA 2166228 A CN 1131823 A CZ 9600009 A JP 2671886 B JP 8241862 A PL 311942 A	05-07-1996 01-07-1996 25-09-1996 16-07-1997 05-11-1997 17-09-1996 08-07-1996

RAPPORT DE RECHERCHE INTERNATIONALE

De Internationale No
PCT/FR 98/02907

A. CLASSEMENT DE L'OBJET DE LA DEMANDE
CIB 6 H01L27/02 H02H9/04

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)

CIB 6 H01L H02H

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie *	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	EP 0 550 198 A (TEXAS INSTRUMENTS LTD ; TEXAS INSTRUMENTS INC (US)) 7 juillet 1993 voir revendications 1,13,14,17,18; figures 1-3 ---	1,5
A	EP 0 388 022 A (NORTHERN TELECOM LTD) 19 septembre 1990 ---	1,4
A	EP 0 721 218 A (SGS THOMSON MICROELECTRONICS) 10 juillet 1996 voir revendication 1; figures 14A-C -----	1

☐ Voir la suite du cadre C pour la fin de la liste des documents

☒ Les documents de familles de brevets sont indiqués en annexe

* Catégories spéciales de documents cités:

"A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent

"E" document antérieur, mais publié à la date de dépôt international ou après cette date

"L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)

"O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens

"P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention

"X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément

"Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier

"Z" document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

3 mars 1999

Date d'expédition du présent rapport de recherche internationale

10/03/1999

Nom et adresse postale de l'administration chargée de la recherche internationale
Office Européen des Brevets, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Fransen, L

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

de Internationale No

PCT/FR 98/02907

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
EP 0550198 A	07-07-1993	JP 5251690 A US 5304823 A	28-09-1993 19-04-1994
EP 0388022 A	19-09-1990	CA 1330451 A JP 2278878 A	28-06-1994 15-11-1990
EP 0721218 A	10-07-1996	FR 2729008 A CA 2166228 A CN 1131823 A CZ 9600009 A JP 2671886 B JP 8241862 A PL 311942 A	05-07-1996 01-07-1996 25-09-1996 16-07-1997 05-11-1997 17-09-1996 08-07-1996